



Πανεπιστήμιο Πατρών
Τμήμα Φυσικής
Εργαστήριο Ηλεκτρονικής

Ψηφιακά Ηλεκτρονικά
Μονάδες Μνήμης και
Διατάξεις Προγραμματιζόμενης Λογικής

Επιμέλεια Διαφανειών: Δ. Μπακάλης

Πάτρα, Φεβρουάριος 2009

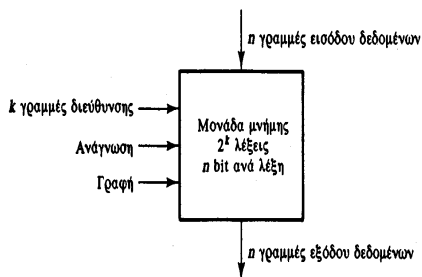
Μονάδες Μνήμης - Προγραμματιζόμενη Λογική

- Μια μονάδα μνήμης είναι ένα κύκλωμα στο οποίο μεταφέρονται πληροφορίες προς αποθήκευση και από το οποίο μπορούμε να εξάγουμε αποθηκευμένες πληροφορίες προκειμένου να τις επεξεργαστούμε.
- Υπάρχουν δύο βασικοί τύποι μνήμης: η Μνήμη Τυχαίας Προσπέλασης (Random Access Memory) και η Μνήμη Ανάγνωσης Μόνο (Read Only Memory).
- Η μνήμη ROM μπορεί να δημιουργηθεί ως κύκλωμα Προγραμματιζόμενης Λογικής (Programmable Logic Device – PLD).
- Ένα κύκλωμα Προγραμματιζόμενης Λογικής «προγραμματίζεται» ώστε να ενσωματώσει την απαιτούμενη πληροφορία στο κύκλωμα.

Μνήμη Τυχαίας Προσπέλασης

Μονάδα Μνήμης: Ένα σύνολο από κύτταρα αποθήκευσης μαζί με τα απαραίτητα κυκλώματα για τη μεταφορά πληροφοριών. Αν η μεταφορά αυτή μπορεί να γίνει από και προς οποιαδήποτε τυχαία θέση ονομάζεται Μνήμη Τυχαίας Προσπέλασης.

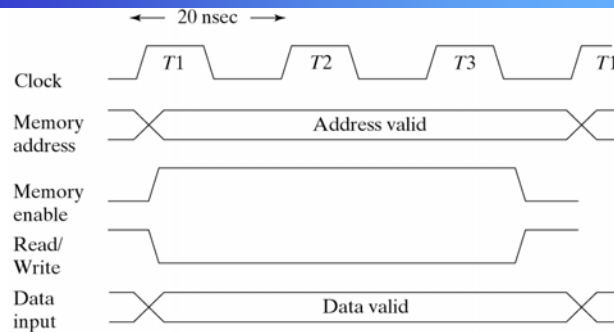
Οι δυαδικές πληροφορίες αποθηκεύονται ομαδοποιημένες σε **λέξεις (words)**.



Παράδειγμα: Περιεχόμενα Μνήμης 1024 x 16

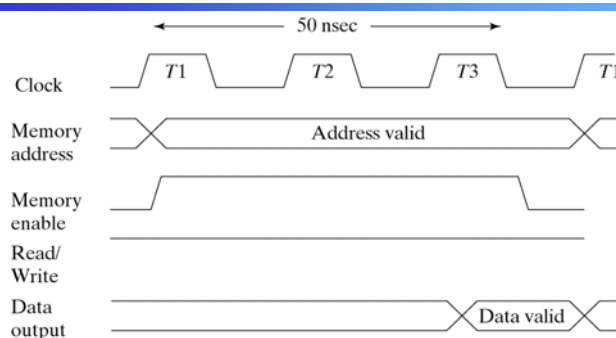
| Διεύθυνση μνήμης | | Περιεχόμενα μνήμης |
|------------------|----------|--------------------|
| Δυαδικό | Δεκαδικό | |
| 000000000 | 0 | 101101010101110 |
| 000000001 | 1 | 101010111000100 |
| 000000010 | 2 | 000011010100011 |
| | ⋮ | ⋮ |
| | ⋮ | ⋮ |
| 111111101 | 1021 | 100111010001010 |
| 111111110 | 1022 | 000011010001111 |
| 111111111 | 1023 | 110111100010010 |

Κυματομορφές χρονισμού - Εγγραφή



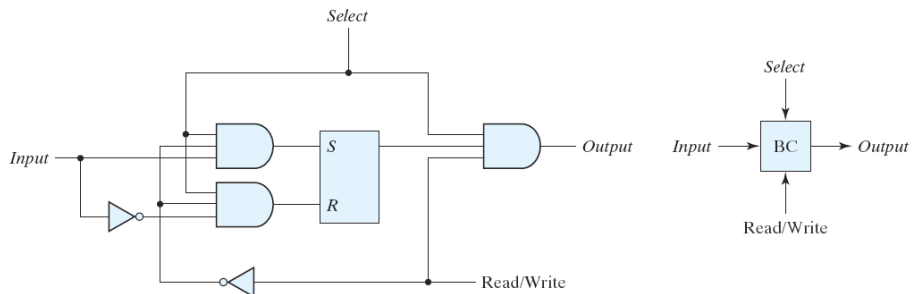
1. Μεταφορά της δυαδικής διεύθυνσης της λέξης στις γραμμές διεύθυνσης.
2. Μεταφορά των bit δεδομένων στις γραμμές δεδομένων.
3. Ενεργοποίηση της εισόδου ελέγχου γραφής.

Κυματομορφές χρονισμού - Ανάγνωση



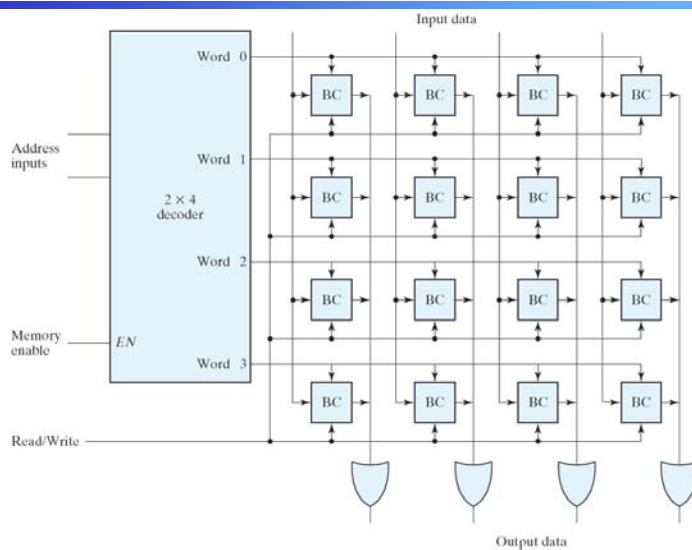
1. Μεταφορά της δυαδικής διεύθυνσης της λέξης στις γραμμές διεύθυνσης.
2. Ενεργοποίηση της εισόδου ελέγχου ανάγνωσης.

Ένα κύτταρο μνήμης



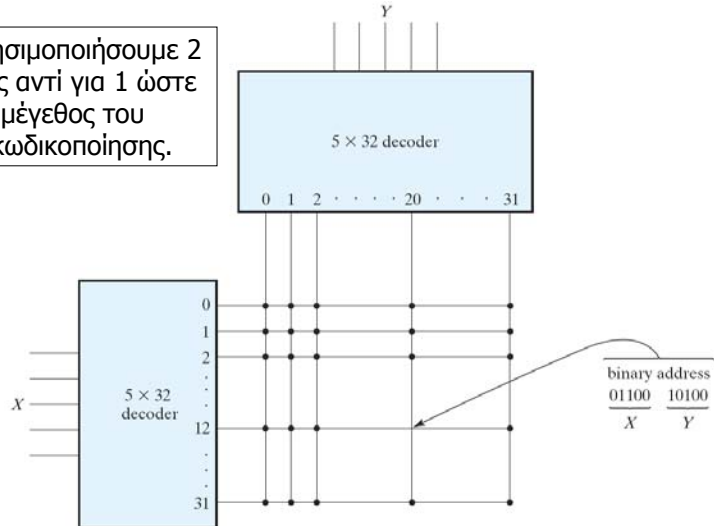
Η λειτουργία του κυττάρου μνήμης καθορίζεται από τις εισόδους *Select*, *Read/Write* και *Input*.

Εσωτερική Οργάνωση Μνήμης



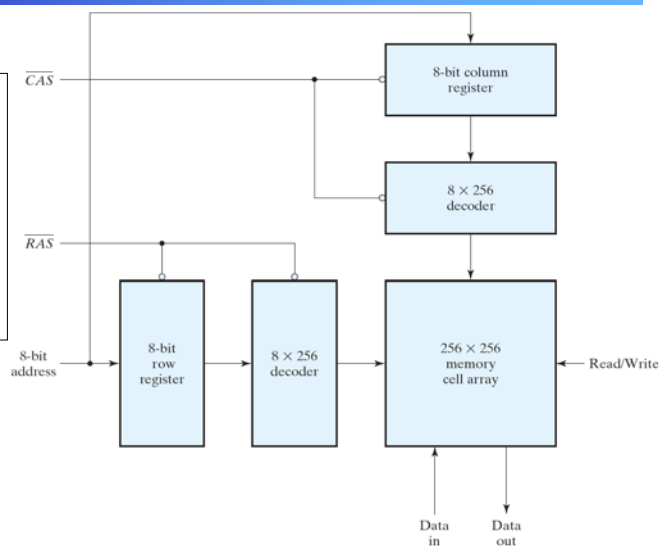
Ταυτόχρονη αποκωδικοποίηση

Μπορούμε να χρησιμοποιήσουμε 2 αποκωδικοποιητές αντί για 1 ώστε να μειώσουμε το μέγεθος του κυκλώματος αποκωδικοποίησης.

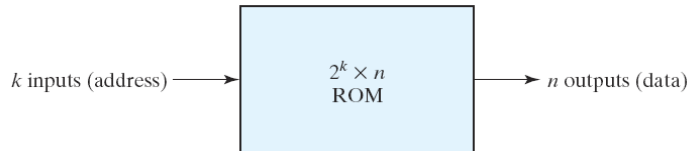


Πολύπλεξη διεύθυνσης

Μπορούμε να χρησιμοποιήσουμε τους μισούς ακροδέκτες και να παρέχουμε τα δυαδικά ψηφία της διεύθυνσης σε δύο χρονικές στιγμές.



Μνήμη Ανάγνωσης Μόνο (ROM)



Η μνήμη ανάγνωσης-μόνο είναι μία διάταξη στην οποία αποθηκεύονται μόνιμα δυαδικές πληροφορίες. Περιγράφονται με τον αριθμό λέξεων που περιέχουν π.χ. $2^9 \times 8 = 512$ λέξεις των 8 bits η κάθε μία (9 address - 8 data).

Υπάρχουν διάφοροι τύποι ολοκληρωμένων κυκλωμάτων ROM οι οποίοι σχετίζονται με τη διαδικασία "προγραμματισμού" και "διαγραφής" τους: ROM, PROM, EPROM, EEPROM.

Συνδυαστική Λογική με PROM

Για την υλοποίηση μίας συνάρτησης πρέπει να χρησιμοποιήσουμε εκείνους τους ελαχιστόρους που ανήκουν σε αυτήν.

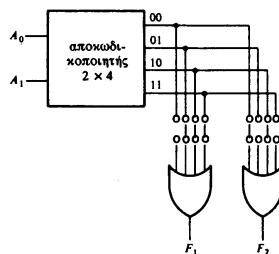
Παράδειγμα:

$$F_1(A_1, A_0) = \Sigma(1, 2, 3)$$

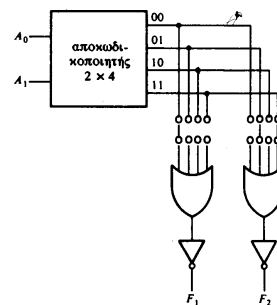
$$F_2(A_1, A_0) = \Sigma(0, 2)$$

| A_1 | A_0 | F_1 | F_2 |
|-------|-------|-------|-------|
| 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 |

(α) Πίνακας αληθείας



(β) ROM με πύλες ΚΑΙ-Η

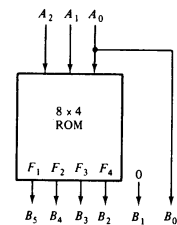


(γ) ROM με πύλες ΚΑΙ-Η-ΑΝΤΙΣΤΡΟΦΗ

Παράδειγμα (2): Τετραγωνιστής

Κύκλωμα που δέχεται έναν αριθμό 3 bit και παράγει δυαδικό αριθμό στην έξοδο ίσο με το τετράγωνο του αριθμού εισόδου.

| Είσοδοι | | | Έξοδοι | | | | | | Δεκαδικός |
|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|-----------|
| A ₂ | A ₁ | A ₀ | B ₅ | B ₄ | B ₃ | B ₂ | B ₁ | B ₀ | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |

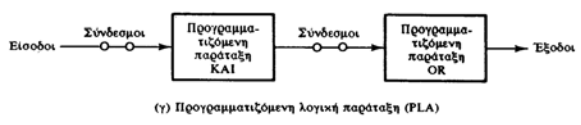
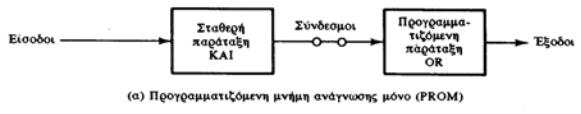


(α) Σχηματικό διάγραμμα

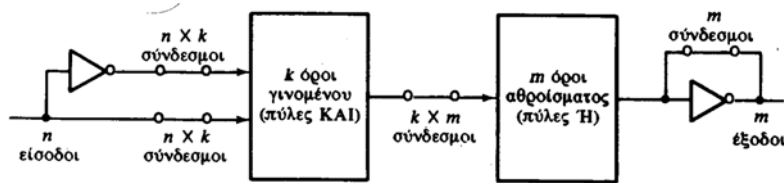
| A ₂ | A ₁ | A ₀ | F ₁ | F ₂ | F ₃ | F ₄ |
|----------------|----------------|----------------|----------------|----------------|----------------|----------------|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 | 0 | 0 |

Διατάξεις Προγραμματιζόμενης Λογικής (PLDs)

Μια Διάταξη Προγραμματιζόμενης Λογικής είναι ένα ολοκληρωμένο κύκλωμα αποτελούμενο από πύλες που συνδέονται με τη βοήθεια προγραμματιζόμενων συνδέσμων.



Προγραμματιζόμενη Λογική Παράταξη PLA



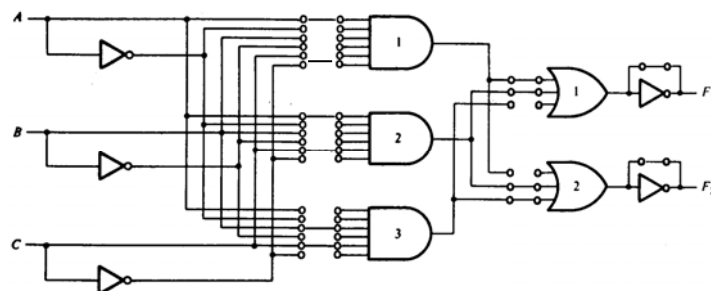
Η ROM είναι αντι-οικονομική όταν υπάρχουν πολλοί αδιάφοροι όροι (διευθύνσεις που δε θα συμβούν ποτέ).

Όταν υπάρχουν πολλοί αδιάφοροι όροι χρησιμοποιούμε την **PLA** η οποία υλοποιεί ένα κύκλωμα σε μορφή αθροίσματος γινομένων.

Προγραμματιζόμενη Λογική Παράταξη PLA

Το μέγεθος της PLA ορίζεται με τον αριθμό των εισόδων, τον αριθμό των όρων γινομένου και τον αριθμό των εξόδων της.

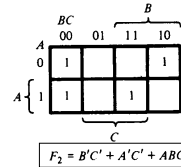
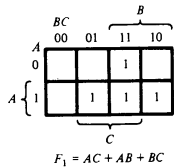
Παράδειγμα: PLA με 3 εισόδους, 3 όρους γινομένου και 2 εξόδους.



Παράδειγμα (2)

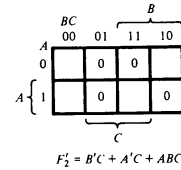
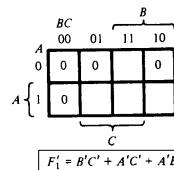
$$F_1(A, B, C) = \Sigma(3, 5, 6, 7)$$

$$F_2(A, B, C) = \Sigma(0, 2, 4, 7)$$



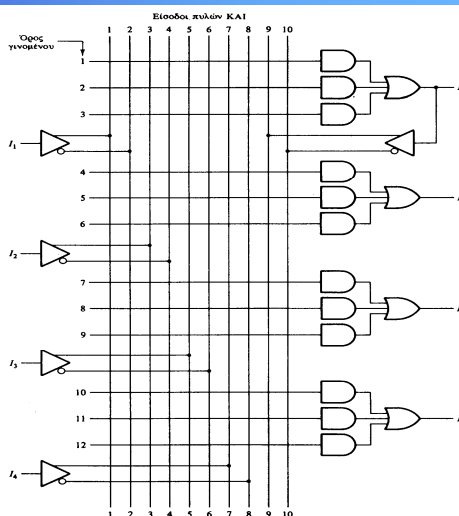
Πίνακας προγραμματισμού PLA

| Όρος γινόμενου | Είσοδοι | | | Έξοδοι | |
|-------------------|---------|---|---|----------------|----------------|
| | A | B | C | F ₁ | F ₂ |
| B'C' | 1 | 0 | 0 | 1 | 1 |
| A'C' | 2 | 0 | 0 | 1 | 1 |
| A'B' | 3 | 0 | 0 | 1 | — |
| ABC | 4 | 1 | 1 | — | 1 |
| | | | | C | T |
| | | | | | T/C |



Προγραμματιζόμενη Παράταξη Λογικής PAL

Η PAL είναι μία διάταξη προγραμματιζόμενης λογικής με σταθερή παράταξη πυλών OR και προγραμματιζόμενη παράταξη πυλών AND. Είναι ευκολότερο να προγραμματιστεί αλλά δεν είναι τόσο ευέλικτη όσο η PLA.



Παράδειγμα

$$w = \Sigma(2,12,13)$$

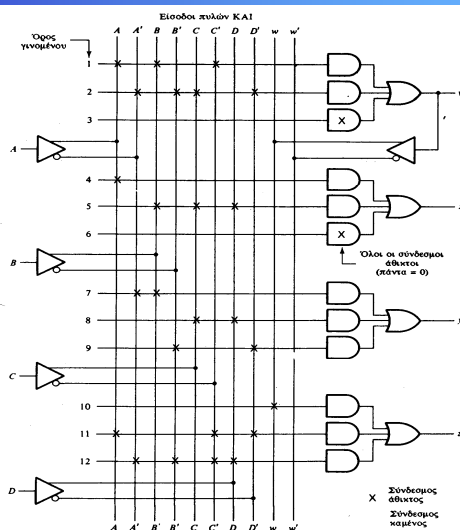
$$x = \Sigma(7,8,9,10,11,12,13,14,15)$$

$$y = \Sigma(0,2,3,4,5,6,7,8,10,11,15)$$

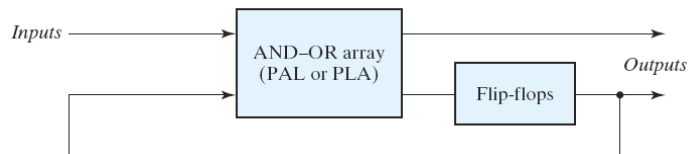
$$z = \Sigma(1,2,8,12,13)$$

| Product Term | ΚΑΙ Είσοδοι | | | | | Εξοδοι |
|--------------|-------------|---|---|---|---|---------------------------|
| | A | B | C | D | W | |
| 1 | 1 | 1 | 0 | - | - | $w = ABC' + A'B'CD'$ |
| 2 | 0 | 0 | 1 | 0 | - | |
| 3 | - | - | - | - | - | |
| 4 | 1 | - | - | - | - | $x = A + BCD$ |
| 5 | - | 1 | 1 | 1 | - | |
| 6 | - | - | - | - | - | |
| 7 | 0 | 1 | - | - | - | $y = A'B + CD + B'D'$ |
| 8 | - | - | 1 | 1 | - | |
| 9 | - | 0 | - | 0 | - | |
| 10 | - | - | - | - | 1 | $z = w + AC'D' + A'B'C'D$ |
| 11 | 1 | - | 0 | 0 | - | |
| 12 | 0 | 0 | 0 | 1 | - | |

Παράδειγμα

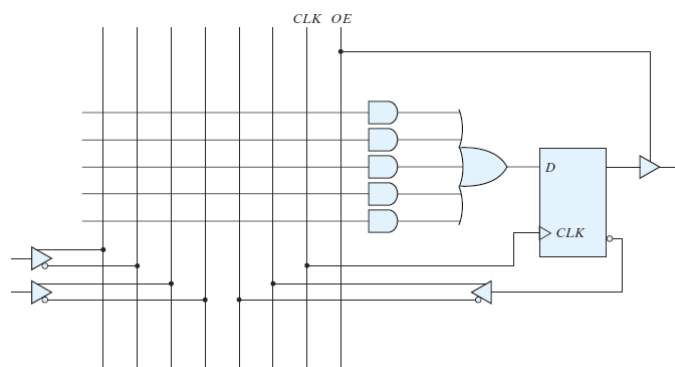


Ακολουθιακές PLD



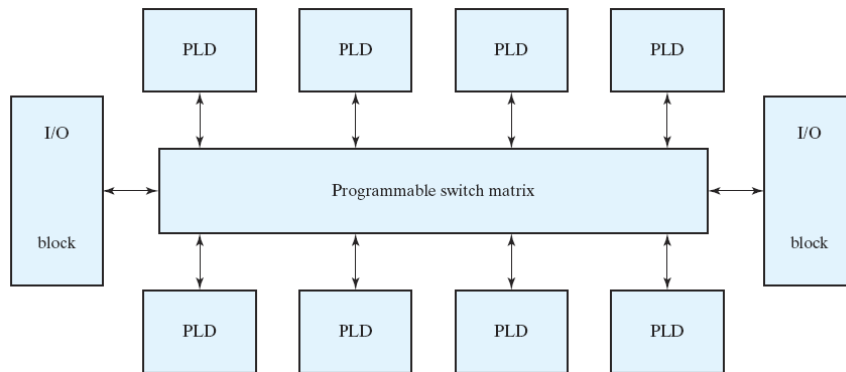
Οι ακολουθιακές PLD επιτρέπουν την υλοποίηση ακολουθιακών κυκλωμάτων καθώς περιέχουν ένα συνδυαστικό PLD και στοιχεία μνήμης.

MacroCell



Αποτελεί το βασικό κύτταρο λογικής των CPLDs και υλοποιεί συνάρτηση αθροίσματος γινομένων την οποία οδηγεί σε στοιχείο μνήμης.

CPLD



Ένα CPLD αποτελείται από βασικά κύτταρα λογικής, κύτταρα ακροδεκτών εισόδου/εξόδου και ένα δίκτυο διασύνδεσης τους.

Βιβλιογραφία

1. Ψηφιακή Σχεδίαση (3^η έκδοση), M. Morris Mano, Εκδόσεις Παπασωτηρίου, 2005
2. Ψηφιακή Σχεδίαση Αρχές και Πρακτικές, J. Wakerly, Εκδόσεις Κλειδάριθμος, 2002
3. Digital Design (4th edition), M. Morris Mano & M. Ciletti, Pearson Prentice Hall, 2007